

# EUROPEAN PATENT OFFICE

## Patent Abstracts of Japan

PUBLICATION NUMBER : 11054705  
PUBLICATION DATE : 26-02-99

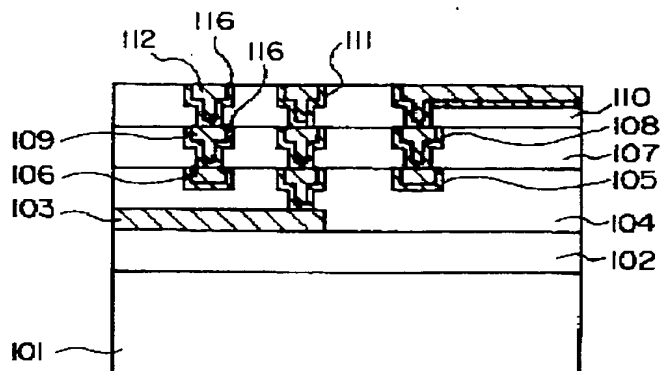
APPLICATION DATE : 04-08-97  
APPLICATION NUMBER : 09209437

APPLICANT : NEC CORP;

INVENTOR : SUZUKI HISAMITSU;

INT.CL. : H01L 27/04 H01L 21/822 H01L 21/3205  
H01L 29/78

TITLE : SEMICONDUCTOR INTEGRATED  
CIRCUIT DEVICE AND ITS  
MANUFACTURE



ABSTRACT : PROBLEM TO BE SOLVED: To improve characteristics as a coil and realize high scale integration and miniaturization, by alternately laminating a plurality of insulating films and a plurality of coils on a substrate and electrically connecting the coils through slit-like vias.

SOLUTION: A second wiring 106, a third wiring 109 and a fourth wiring 112 which constitute parts of coils of spiral inductors are mutually connected through slit-like vias, and only a first wiring 103 forming a lower extraction electrode and the second wiring 106 forming the coil part of the spiral inductor are connected with a dot-like first via. Since a plurality of inductors formed by laminating wirings are mutually connected through the slit-like vias 116, the slit parts can be also used as wirings, wiring resistance can be reduced as compared with the case that upper and lower wirings are connected through the dot-like via, so that the Q value of an inductor can be improved.

COPYRIGHT: (C)1999,JPO

(19) 日本国特許庁 ( J P )

(12) 公 開 特 許 公 報 ( A )

(11) 特許出願公開番号

特開平11-54705

(43) 公開日 平成11年(1999) 2月26日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

H 0 1 L 27/04  
21/822  
21/3205  
29/78

H 0 1 L 27/04 L  
21/88 K  
29/78 3 0 1 X

審査請求 有 請求項の数 9 O L (全 11 頁)

(21) 出願番号 特願平9-209437

(22) 出願日 平成 9 年 (1997) 8 月 4 日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目 7 番 1 号

(72) 発明者 鈴木 久満

東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

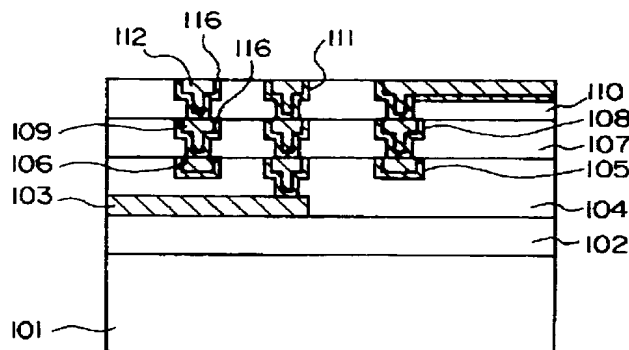
(74) 代理人 弁理士 高橋 詔男 (外 5 名)

(54) 【発明の名称】 半導体集積回路装置及びその製造方法

(57) 【要約】

【課題】 配線ピッチ、すなわち配線幅及び配線間隔を狭くすることにより、基板上に形成されるコイル全体の面積を小さくすることができ、コイルとしての特性を向上させることができ、高集積化、小型化に対応することができる半導体集積回路装置及びその製造方法を提供する。

【解決手段】 基板101上に、複数の絶縁膜102、104、107、110と複数のコイル106、109、112とが交互に積層され、前記コイル106、109、112同士はスリット状のビア116を介して電気的に接続されていることを特徴とする。



## 【特許請求の範囲】

【請求項1】 基板上に、複数の絶縁膜と複数のコイルとが交互に積層され、前記コイル同士はスリット状のビアを介して電氣的に接続されていることを特徴とする半導体集積回路装置。

【請求項2】 前記基板上に、トランジスタが設けられ、該トランジスタのソース・ドレイン領域、またはゲート電極のうち少なくとも一方の表面に第1の強磁性体膜が形成されるとともに、前記複数のコイルの下に第2の強磁性体膜が形成されていることを特徴とする請求項1記載の半導体集積回路装置。

【請求項3】 前記第1の強磁性体膜と前記第2の強磁性体膜は、シリサイドにより構成されていることを特徴とする請求項2記載の半導体集積回路装置。

【請求項4】 前記コイルは、渦巻状であることを特徴とする請求項1、2または3記載の半導体集積回路装置。

【請求項5】 前記コイルの渦巻状の中心部に強磁性体膜を設けたことを特徴とする請求項4記載の半導体集積回路装置。

【請求項6】 基板上に絶縁膜、第1のコイルを構成する第1の配線を順次形成する工程と、前記第1のコイル上に絶縁膜を形成し、該絶縁膜にスリット状のビア及び第2のコイルを構成する第2の配線を形成するための溝を形成する工程と、前記スリット状のビア及び前記溝に導電体を埋め込む工程と、該導電体を前記ビア及び溝以外の部分から除去する工程とを備えたことを特徴とする半導体集積回路装置の製造方法。

【請求項7】 前記基板上に、トランジスタのゲート電極、ソース・ドレイン領域を順次形成する工程と、前記ゲート電極及び前記ソース・ドレイン領域の表面に強磁性体膜を形成する工程と、該強磁性体膜の余分な部分を除去する工程とを有することを特徴とする請求項6記載の半導体集積回路装置の製造方法。

【請求項8】 前記ゲート電極および／または前記ソース・ドレイン領域の表面に形成された強磁性体膜をシリサイド化し、前記ゲート電極と前記ソース・ドレイン領域のうち少なくとも一方の表面にシリサイド層を形成する工程を有することを特徴とする請求項7記載の半導体集積回路装置の製造方法。

【請求項9】 前記第1及び第2のコイルの中心部にビアを形成する工程と、該ビア内に強磁性体膜を形成する工程とを有することを特徴とする請求項6記載の半導体集積回路装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置に関し、特に、マイクロ波集積回路用の半導体集積回路装置及びその製造方法に関するものである。

## 【0002】

【従来の技術】近年、PHS等の携帯電話の普及により、携帯電話用の高周波回路の小型化の要求が強まっており、これを半導体集積回路装置で実現するためには、能動素子から、抵抗、容量、コイル（以下、インダクタとも称する）等の受動素子に至るまで一つのチップに搭載することが必要となっている。

【0003】抵抗及び容量については、半導体基板上に容易に形成できることから、これを実現する上でキーポイントとなるのが半導体基板上でのインダクタの形成である。この時に、回路から要求されるインダクタンスが確保され、そのうえで損失が小さく、かつ共振周波数が高いインダクタを形成することが必要となっている。高いインダクタンスを得るためには、スパイラル状のインダクタ（スパイラルインダクタ）を用いる事が有効であることが一般に知られている。

【0004】ここで、従来のスパイラルインダクタの一例として、Joachim N. Burghartzにより提案されている構造について説明する（詳しくは、Joachim N. Burghartz: TECHNICAL DIGEST of international ELECTRON DEVICES meeting, 1015 (1995)を参照のこと）。図15は従来のスパイラルインダクタを示す平面図、図16及び図17は図15の領域Aの積層部分のうちの一層部を示す拡大平面図である。図において、313は第1の配線からなる下部引き出し電極、314は第4の配線からなる上部引き出し電極、303は第1の配線、306は第2の配線、309は第3の配線、315は第1のビア、316は第2のビアである。

【0005】ここで、このスパイラルインダクタの製造方法の一例について図18に基づき説明する。この図18は、図16のA-A線に沿う断面及び図17のB-B線に沿う断面に相当する部分を示したものである。まず、同図(a)に示すように、P型半導体基板301上に1000～1600nmの第1の層間絶縁膜302を形成し、該第1の層間絶縁膜302上にアルミニウム、銅等の導電性物質からなる500～1000nmの第1の配線303を形成する。

【0006】次に、同図(b)に示すように、第1の配線303上に500～800nmの第2の層間絶縁膜304を形成し、該第2の層間絶縁膜304にドット状の第1のビア315を開口し、第1のビア315内に、例えば、アルミニウムを配線に用いた場合、10～300nmのチタン、窒化チタン等からなるバリアメタルと500～1000nmのタングステンを埋め込むことにより、第1のプラグ337を形成し、アルミニウム、銅等の導電性物質からなる500～1000nmの第2の配線306を形成する。

【0007】次に、同図(c)に示すように、上述した工程を繰り返し行い、第3の層間絶縁膜307、第2のプラグ338、第3の配線309、第4の層間絶縁膜310、第3のプラグ339、第4の配線312を形成す

る。このように、従来のスパイラルインダクタは、上下の配線である第1の配線303、第2の配線306、第3の配線309、第4の配線312が、ドット状の第1のビア315～第3のビア317を介して互いに接続されている。

【0008】そして、このスパイラルインダクタでは、全部で配線層が5層用いられており、図示しない第1層目の配線はスパイラルインダクタ以外の部分で用いられていて、最下層の第1の配線303が第2層目の配線層で形成され、第2の配線306、第3の配線309、第4の配線312がそれぞれ第3層目、第4層目、第5層目の配線層で形成された構造となっている。

【0009】

【発明が解決しようとする課題】一般に、インダクタの性能を示す指標として、Q値(クオリティファクター)というものがあり、このQ値は、 $Q = \omega L / R$ の式で表されることが知られている。但し、Rは配線抵抗、Lはインダクタンスである。ところで、従来のスパイラルインダクタでは、大きなインダクタンスを得ようとした場合、例えば、配線幅 $12\mu\text{m}$ 、配線間隔 $4\mu\text{m}$ で設計したスパイラルインダクタでは、 $5.1\text{nH}$ の値を得るためには、スパイラルインダクタの面積が $226\mu\text{m}^2$ 角という大きな面積を占有してしまうという問題点があった。

【0010】そこで、スパイラルインダクタの配線幅を狭くすると、配線抵抗Rが増加するためにQ値が低下するという問題がある。また、図19(a)に示すように、インダクタの配線540、540の間隔を狭くすると、配線540—配線540間のアスペクト比が大きくなり、第2の層間絶縁膜504及び第3の層間絶縁膜507を配線540、540間に完全に埋め込むことができなくなるという問題点がある。

【0011】また、図19(b)に示すように、例えば、CMP(Chemical-Mechanical Polishing)を用いて層間絶縁膜を平坦化する場合、第2の層間絶縁膜504及び第3の層間絶縁膜507に隙間541が生じ、配線540、540がCMPのエッチング液で侵されてしまうという問題点がある。また、図19(c)に示すように、ドライエッチングを用いて層間絶縁膜を平坦化する場合、平坦化が完全にできず、配線540、540間に隙間541が生じ、上層の配線を形成する際に、この隙間541に配線材料が入り込みショートの原因となるという問題点がある。

【0012】また、配線の膜厚を厚くすることにより配線抵抗を小さくしようすると、配線540—配線540間のアスペクト比が大きくなり、上記と同様に層間絶縁膜を埋め込むことができなくなるという問題点がある。

【0013】本発明は上記の事情に鑑みてなされたものであって、配線ビッチ、すなわち配線幅及び配線間隔を

狭くすることにより、基板上に形成されるコイル全体の面積を小さくすることができ、コイルとしての特性を向上させることができ、高集積化、小型化に対応することができる半導体集積回路装置及びその製造方法を提供することにある。

【0014】

【課題を解決するための手段】上記課題を解決するために、本発明は次の様な半導体集積回路装置及びその製造方法を採用した。すなわち、請求項1記載の半導体集積回路装置は、基板上に、複数の絶縁膜と複数のコイルとが交互に積層され、前記コイル同士をスリット状のビアを介して電気的に接続したものである。

【0015】請求項2記載の半導体集積回路装置は、前記基板上にトランジスタを設け、該トランジスタのソース・ドレイン領域、またはゲート電極のうち少なくとも一方の表面に第1の強磁性体膜を形成するとともに、前記複数のコイルの下に第2の強磁性体膜を形成したものである。

【0016】請求項3記載の半導体集積回路装置は、前記第1の強磁性体膜と前記第2の強磁性体膜を、シリサイドにより構成したものである。

【0017】請求項4記載の半導体集積回路装置は、前記コイルを渦巻状としたものである。

【0018】請求項5記載の半導体集積回路装置は、前記コイルの渦巻状の中心部に強磁性体膜を設けたものである。

【0019】請求項6記載の半導体集積回路装置の製造方法は、基板上に絶縁膜、第1のコイルを構成する第1の配線を順次形成する工程と、前記第1のコイル上に絶縁膜を形成し、該絶縁膜にスリット状のビア及び第2のコイルを構成する第2の配線を形成するための溝を形成する工程と、前記スリット状のビア及び前記溝に導電体を埋め込む工程と、該導電体を前記ビア及び溝以外の部分から除去する工程とを備えた方法である。

【0020】請求項7記載の半導体集積回路装置の製造方法は、前記基板上に、トランジスタのゲート電極、ソース・ドレイン領域を順次形成する工程と、前記ゲート電極及び前記ソース・ドレイン領域の表面に強磁性体膜を形成する工程と、該強磁性体膜の余分な部分を除去する工程とを有する方法である。

【0021】請求項8記載の半導体集積回路装置の製造方法は、前記ゲート電極および/または前記ソース・ドレイン領域の表面に形成された強磁性体膜をシリサイド化し、前記ゲート電極と前記ソース・ドレイン領域のうち少なくとも一方の表面にシリサイド層を形成する工程を有する方法である。

【0022】請求項9記載の半導体集積回路装置の製造方法は、前記第1及び第2のコイルの中心部にビアを形成する工程と、該ビア内に強磁性体膜を形成する工程とを有する方法である。

【0023】本発明の半導体集積回路装置では、基板上に、複数の絶縁膜と複数のコイルとを交互に積層し、前記コイル同士をスリット状のビアを介して電気的に接続したことにより、狭い配線間隔で配線を形成することが可能になり、また、コイルを構成する複数の配線をスリット状のビアを介して互いに接続することにより、ビアの部分もコイルの配線として用いることが可能になる。これにより、平面状のレイアウトが同じでも、従来のドット状のビアで上下の配線を接続した場合と比較して配線の断面積が大きくなり、コイルの配線抵抗の低減を図ることが可能になる。

【0024】本発明の半導体集積回路装置の製造方法では、基板上に絶縁膜、第1のコイルを構成する第1の配線を順次形成する工程と、前記第1のコイル上に絶縁膜を形成し、該絶縁膜にスリット状のビア及び第2のコイルを構成する第2の配線を形成するための溝を形成する工程と、前記スリット状のビア及び前記溝に導電体を埋め込む工程と、該導電体を前記ビア及び溝以外の部分から除去する工程とを備えたことにより、狭い配線間隔で配線を形成することが可能になる。これにより、配線ピッチ、すなわち配線幅及び配線間隔を狭くすることにより、基板上に形成されるコイル全体の面積を小さくすることが可能になる。

【0025】

【発明の実施の形態】以下、本発明の半導体集積回路装置及びその製造方法の各実施形態について図面に基づき説明する。

【0026】（第1の実施形態）図1は本発明の第1の実施形態の半導体集積回路装置のスパイラルインダクタを示す平面図、図2及び図3は図1の領域Bの積層部分のうちの一層部を示す拡大平面図、図4は図1のC-C線に沿う断面図である。図において、113は第1の配線103からなる下部引き出し電極、114は第4の配線112からなる上部引き出し電極である。ここでは、スパイラルインダクタ122は下部引き出し電極113及び上部引き出し電極114に連続して形成されている。

【0027】また、106は第2の配線、109は第3の配線、115はドット状の第1のビア、116はスリット状の第2のビアである。スパイラルインダクタのコイルの部分形成している第2の配線106、第3の配線109、第4の配線112は、スリット状のビア116を介して互いに接続され、下部引き出し電極113を形成する第1の配線103とスパイラルインダクタのコイルの部分形成している第2の配線106のみがドット状の第1のビア115で接続されている。

【0028】次に、このスパイラルインダクタの製造方法について図5～図7に基づき説明する。まず、図5(a)に示すように、P型半導体基板101上に厚み1000～1600nmの第1の層間絶縁膜102を形成

し、該第1の層間絶縁膜102上にアルミニウム、銅等の導電材料からなる厚み500～1000nmの第1の配線103を形成し、第1の層間絶縁膜102及び第1の配線103上に第2の層間絶縁膜104を成長させる。

【0029】次いで、CMPやエッチバック等を用いて、第1の配線103上が1000～2000nmの膜厚になるように第2の層間絶縁膜104の表面を平坦化する。次いで、図5(b)に示すように、第2の層間絶縁膜104上にビアを形成するための第1のマスク117を形成し、該第1のマスク上に配線を形成するための第2のマスク118を形成する。

【0030】次いで、図5(c)に示すように、第1のマスク117及び第2のマスク118に開口部を形成して第2の層間絶縁膜104を露出させ、異方性エッチングを用いてこの露出部分をエッチングし、ドット状の第1のビア115を形成する。この場合、第2の層間絶縁膜104が第1の配線103上に200～700nm程度残る様にエッチング条件を設定する。

【0031】次いで、図6(d)に示すように、第2のマスク118の開口部に露出した第1のマスク117を第2の層間絶縁膜104に対し選択的にエッチングを行い、該第1のマスク117に、配線形成のための開口部117aを第2の層間絶縁膜104が露出するように形成する。

【0032】次いで、図6(e)に示すように、異方性エッチングにより第2の層間絶縁膜104の露出面を500～1000nmエッチングし、配線形成のための溝119を形成する。その後、第1のマスク117及び第2のマスク118を除去する。この際、第1のビア115も同時にエッチングされてその底部も完全に消失するので、第1の配線103の表面が露出することとなる。

【0033】次いで、図6(f)に示すように、エッチングされた第2の層間絶縁膜104の表面全体に、厚み10～300nmの第1のバリアメタル105を形成し、該第1のバリアメタル105上に、CVDによりアルミニウム、銅等の導電材料からなる厚み800～2000nmの第2の配線106を形成し、第1のビア115及び溝119を完全に埋め込む。

【0034】次いで、図7(g)に示すように、CMP、エッチバック等を用いて余分の第2の配線106部分を削除し、さらに第2の層間絶縁膜104の表面を平坦化し、第2の配線106を形成する。次いで、図7(h)に示すように、第2の層間絶縁膜104及び第2の配線106上に第3の層間絶縁膜107を形成し、該第3の層間絶縁膜107にスリット状の第2のビア116及び配線形成のための溝を形成する。

【0035】その後、該第3の層間絶縁膜107の表面全体に厚み10～300nmの第2のバリアメタル108を形成し、次いで、CVDによりアルミニウム、銅等

の導電材料からなる厚み800～2000nmの第3の配線109を形成し、第2のビア116及び配線形成のための溝を完全に埋め込んだ後、CMP、エッチング等により余分の第3の配線109部分を削除し、さらに第3の層間絶縁膜107の表面を平坦化し、第3の配線109を形成する。

【0036】さらに、上記の図5(a)～図7(g)の工程を繰り返し、第4の層間絶縁膜110、厚み10～300nmの第3のバリアメタル111を順次形成し、その後、CVDによりアルミニウム、銅等の導電材料からなる厚み800～2000nmの第4の配線112を形成し、スリット状のビア及び配線形成のための溝を完全に埋め込んだ後、CMP、エッチング等により第4の層間絶縁膜110の表面を平坦化し、第4の配線112を形成する。以上により、図4に示す様な本実施形態のスパイラルインダクタを作製することができる。

【0037】ここで、このスパイラルインダクタの効果を確認するために行った実験結果について図8～図10に基づき説明する。図8は、層低抗の低い、例えばP型にドーパされた半導体基板の上に絶縁膜を介して形成されたインダクタの等価回路であり、Lはインダクタ、R1はインダクタの配線抵抗、R2及びR3は半導体基板の抵抗、C1及びC2は配線-半導体基板間の寄生容量、C3は配線-配線間の寄生容量、C4及びC5は半導体基板の抵抗の両端に付く寄生容量である。

【0038】また、図9は従来技術による実験例(以下、従来実験と称する)の概略を示す回路図、図10は本実施形態による実験例(以下、本実験と称する)の概略を示す回路図である。なお、説明を解り易くするために、これらの図では、インダクタの配線は縦横比が1:2及び2:1で断面積は同一とし、配線間隔と配線-基板間隔も同一としている。また、これらの図では、R1は上記の理由から以下では考慮せず、R2、R3、C4、C5についても同一の半導体基板を用いているので、以下では考慮しないものとする。

【0039】本実験では、従来実験と比べて、C1とC2の値は半分になり、C3の値は2倍になることが明らかである。ところが、実験によりC1、C2、C3の各値を求めたところ、従来実験では、C1、C2が約1pF、C3が約20fFの値となり、C3はC1、C2に比べ無視できるほど小さいことが明らかとなった。またここで、C4、C5は30～60fFであることが実験からわかっているため、スパイラルインダクタに寄生するトータルの寄生容量C1～C5においては、C1、C2の値が2桁大きく支配的であることがわかった。以上のことから、本実験では、従来実験に対し、スパイラルインダクタに寄生するトータルの寄生容量を低減させることがわかった。

【0040】本実施形態の半導体集積回路装置のスパイラルインダクタによれば、配線を積層して形成した複数

のインダクタをスリット状のビアを介して互いに接続したので、スリット部も配線として用いることができ、ドット状のビアで上下の配線を接続した場合と比べて配線抵抗の低減を図ることができ、インダクタのQ値を向上させることができる。

【0041】また、基板に対し垂直方向に積層させた配線同士をスリット状のビアにより接続するので、同じ配線断面積を得る場合、従来のスパイラルインダクタと比較して配線の膜厚を厚く、かつ配線幅を狭くすることができ、配線-基板間の容量を低減させることができ、配線-配線間の容量は若干増加するものの、スパイラルインダクタに寄生するトータルの寄生容量を低減させることができる。

【0042】本実施形態の半導体集積回路装置のスパイラルインダクタの製造方法によれば、上層及び下層の配線を絶縁分離する層間絶縁膜を先に形成し、上下の配線を接続するためのスリット状のビアと配線を形成するための溝を形成し、スリット状のビアと溝に導電材料を埋め込み、溝以外の部分の導電材料を除去して配線を形成するので、インダクタの配線間隔を狭くすることができ、したがって、配線ビッチを狭くすることができ、スパイラルインダクタの面積を小さくすることができる。

【0043】(第2の実施形態)図11は本発明の第2の実施形態の半導体集積回路装置のスパイラルインダクタを示す平面図、図12は図11のD-D線に沿う断面図である。

【0044】本実施形態のスパイラルインダクタが、上述した第1の実施形態のスパイラルインダクタと異なる点は、スパイラルインダクタの中心に、アスペクト比が約3～5のビア318が形成され、該ビア318の内面に厚み10～1000nmのコバルト、ニッケル等の第1の強磁性体膜120が形成され、該第1の強磁性体膜120に囲まれた領域に第5の層間絶縁膜121が埋め込まれた点である。このスパイラルインダクタでは、第1の強磁性体膜120をスパイラルインダクタの磁芯とすることにより、スパイラルインダクタのインダクタンスの向上を図っている。

【0045】次に、このスパイラルインダクタの製造方法について、図4～図7及び図12を用いて簡単に説明する。まず、第1の実施形態の製造方法と同様に、図4～図7に示した手順で4層の配線層からなるスパイラルインダクタを形成する。次いで、図12に示すように、図示しない厚み10～100nmの層間絶縁膜を形成し、スパイラルインダクタの中心にアスペクト比が約3～5のビア318を第4の層間絶縁膜110に届くまで形成する。

【0046】次いで、該ビア318の内面に厚み10～1000nmのコバルト、ニッケル等の第1の強磁性体膜120を形成し、該第1の強磁性体膜120に囲まれた領域に第5の層間絶縁膜121を埋め込む。その後、

第5の層間絶縁膜121がビア318を完全に埋め込んだ後、CMP、エッチング等により、第4の配線112の表面を露出させる。

【0047】本実施形態の半導体集積回路装置のスパイラルインダクタによれば、スパイラルインダクタの中心に第1の強磁性体膜120を形成したので、インダクタのインダクタンスLを大きくすることができる。

【0048】(第3の実施形態)図13及び図14は本発明の第3の実施形態の半導体集積回路装置の製造方法を示す過程図である。まず、図14(f)を用いて本実施形態の半導体集積回路装置の構造について説明する。

【0049】この構造は、スパイラルインダクタとCMOSが同一ウエハー(基板)上に同時に形成され、また、CMOSのソース・ドレイン領域228とゲート電極225それぞれの表面に第1の強磁性体膜であるシリサイド層231が形成され、スパイラルインダクタの下にシリサイドからなる第2の強磁性体膜229が形成されていることを特徴としている。

【0050】なお、このスパイラルインダクタの配線層の構成は、従来のスパイラルインダクタ、第1及び第2の実施形態のスパイラルインダクタ各々と同様で、第1の配線が下部引き出し電極を、また、第2及び第3の配線がスパイラルインダクタのコイルの部分、第4の配線がスパイラルインダクタのコイルの部分及び上部引き出し電極を形成している。

【0051】次に、半導体集積回路装置の製造方法を、図13及び図14を用いて説明する。まず、図13

(a)に示すように、P型半導体基板201上に100～1000nmの素子分離絶縁膜222を形成し、次いで、NMOSの場合P型のウェル領域(PMOSの場合N型のウェル領域)223をイオン注入等により形成し、次いで、ゲート酸化膜224及び、多結晶シリコンもしくはアモルファスシリコンからなる100～400nmのゲート電極225を形成し、ゲート電極225のセルフアラインにLDD領域226をイオン注入により形成する。

【0052】次いで、図13(b)に示すように、50～200nmのシリコン酸化膜またはシリコン窒化膜等によるサイドウォール227を形成し、NMOSの場合P+型のソース・ドレイン領域(PMOSの場合N型のソース・ドレイン領域)228をイオン注入により形成し、次いで、5～100nmのコバルト、ニッケル等からなる第2の強磁性体膜229を形成する。

【0053】次いで、図13(c)に示すように、10～200nmの第5の層間絶縁膜230を形成し、スパイラルインダクタの下の部分のみにマスクを用いて第5の層間絶縁膜230を残し、例えば、窒素雰囲気中やアルゴン雰囲気中でアニールすることにより、ゲート電極225及びソース・ドレイン領域228の表面をシリサイド化し、コバルト、ニッケル等の強磁性体膜からなる

シリサイド層231を形成し、その後、第5の層間絶縁膜230の下の部分以外から第2の強磁性体膜229を選択的に除去する。

【0054】次いで、図14(d)に示すように、1000～2000nmの第6の層間絶縁膜232を形成し、CMP、エッチング等を用いて第6の層間絶縁膜232の表面を平坦化し、CMOSのゲート電極225及びソース・ドレイン領域228上にコンタクト320、320を開口し、コンタクト320、320各々に第4のバリアメタル233、第5の配線234を形成する。

【0055】次いで、図14(e)に示すように、1000～2000nmの第7の層間絶縁膜235を形成し、10～300nmの第5のバリアメタル236、500～1000nmの第1の配線203をそれぞれ形成する。なお、スパイラルインダクタの第1の配線203は該スパイラルインダクタの下部引き出し電極を形成している。

【0056】次いで、図14(f)に示すように、1000～2000nmの第2の層間絶縁膜204、10～300nmの第1のバリアメタル205、500～1000nmの第2の配線206、1000～2000nmの第3の層間絶縁膜207、10～300nmの第2のバリアメタル208、500～1000nmの第3の配線209、1000～2000nmの第4の層間絶縁膜210、10～300nmの第3のバリアメタル211、500～1000nmの第4の配線212を形成する。

【0057】一般に、スパイラルインダクタの下に強磁性体膜を置くことにより磁界の漏れを低減することができるが、本実施形態では、CMOSでソース・ドレイン領域228及びゲート電極225の表面に用いるシリサイド層をコバルト、ニッケル等のCMOSで一般的に用いる強磁性体膜のシリサイドとし、シリサイド化の後で強磁性体膜を除去する際にマスクをかけて、スパイラルインダクタの下に選択的に残すことによりこれを実現することができた。

【0058】また、本実施形態をさらに応用して、インダクタの上下に強磁性体膜を残すことも可能で、さらに、上述した第2の実施形態と本実施形態の応用例を組み合わせることにより、インダクタの上下及びインダクタの磁芯に強磁性体膜を残すことも可能であり、また、スパイラルインダクタの周囲を囲むようにスリット状の溝を掘り、その中に強磁性体膜を残すことにより、上下及び周囲を強磁性体膜で覆い、磁界の漏れを防ぐことも可能である。本実施形態では、スパイラルインダクタを用いているが、通常のインダクタでも実現することは可能であるのは言うまでもない。

【0059】本実施形態の半導体集積回路装置によれば、CMOS製造プロセスで一般的に用いられる強磁性体膜をインダクタの下に残すことにより、磁界の漏れを低

減することができるとともに、CMOS製造プロセスとの整合性を向上させることができる。

#### 【0060】

【発明の効果】以上説明した様に、本発明の半導体集積回路装置によれば、基板上に、複数の絶縁膜と複数のコイルとを交互に積層し、前記コイル同士をスリット状のビアを介して電氣的に接続したので、狭い配線間隔で配線を形成することができ、また、コイルを構成する複数の配線をスリット状のビアを介して互いに接続するので、ビアの部分もコイルの配線として用いることができ、平面状のレイアウトが同じでも、従来のドット状のビアで上下の配線を接続した場合と比較して配線の断面積を大きくとることができ、コイルの配線抵抗の低減を図ることができる。したがって、素子としてのコイル全体の面積を小さくすることができ、コイルとしての特性を向上させることができ、半導体集積回路装置の高集積化、小型化に対応することができる。

【0061】本発明の半導体集積回路装置の製造方法によれば、基板上に絶縁膜、第1のコイルを構成する第1の配線を順次形成する工程と、前記第1のコイル上に絶縁膜を形成し、該絶縁膜にスリット状のビア及び第2のコイルを構成する第2の配線を形成するための溝を形成する工程と、前記スリット状のビア及び前記溝に導電体を埋め込む工程と、該導電体を前記ビア及び溝以外の部分から除去する工程とを備えたので、狭い配線間隔で配線を形成することができる。したがって、素子としてのコイル全体の面積を小さくすることができ、高集積化、小型化に対応できる半導体集積回路装置を製造することができる。

#### 【図面の簡単な説明】

【図1】 本発明の第1の実施形態の半導体集積回路装置のスパイラルインダクタを示す平面図である。

【図2】 図1の領域Bの積層部分のうちの一層部を示す拡大平面図である。

【図3】 図1の領域Bの積層部分のうちの一層部を示す拡大平面図である。

【図4】 図1のC-C線に沿う断面図である。

【図5】 本発明の第1の実施形態の半導体集積回路装置のスパイラルインダクタの製造方法を示す過程図である。

【図6】 本発明の第1の実施形態の半導体集積回路装置のスパイラルインダクタの製造方法を示す過程図である。

【図7】 本発明の第1の実施形態の半導体集積回路装置のスパイラルインダクタの製造方法を示す過程図である。

【図8】 層抵抗の低い基板の上に絶縁膜を介して形成されたインダクタの等価回路である。

【図9】 従来技術による実験例の概略を示す回路図である。

【図10】 本発明の第1の実施形態による実験例の概略を示す回路図である。

【図11】 本発明の第2の実施形態の半導体集積回路装置のスパイラルインダクタを示す平面図である。

【図12】 図11のD-D線に沿う断面図である。

【図13】 本発明の第3の実施形態の半導体集積回路装置の製造方法を示す過程図である。

【図14】 本発明の第3の実施形態の半導体集積回路装置の製造方法を示す過程図である。

【図15】 従来のスパイラルインダクタを示す平面図である。

【図16】 図15の領域Aの積層部分のうちの一層部を示す拡大平面図である。

【図17】 図15の領域Aの積層部分のうちの一層部を示す拡大平面図である。

【図18】 従来のスパイラルインダクタの製造方法の一例を示す過程図である。

【図19】 従来のスパイラルインダクタの製造方法における問題点を説明するための断面図である。

#### 【符号の説明】

101、201、301、401、501 P型半導体基板

102、302、502 第1の層間絶縁膜

103、203、303 第1の配線

104、204、304、504 第2の層間絶縁膜

105、205 第1のバリアメタル

106、206、306 第2の配線

107、207、307、507 第3の層間絶縁膜

108、208 第2のバリアメタル

109、209、309 第3の配線

110、210、310 第4の層間絶縁膜

111、211 第3のバリアメタル

112、212、312 第4の配線

113 下部引き出し電極

114 上部引き出し電極

115 第1のビア

116 第2のビア

117 第1のマスク

117a 開口部

118 第2のマスク

119 配線形成のための溝

120 第1の強磁性体膜

121 第5の層間絶縁膜

122 スパイラルインダクタ

222 素子分離絶縁膜

223 ウエル領域

224 ゲート酸化膜

225 ゲート電極

226 LDD領域

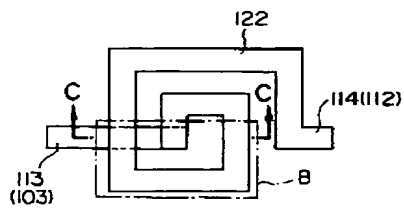
227 サイドウォール



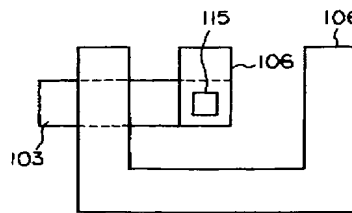
228 ソース・ドレイン領域  
 229 第2の強磁性体膜  
 230 第5の層間絶縁膜  
 231 シリサイド層  
 232 第6の層間絶縁膜  
 233 第4のバリア金属  
 234 第5の配線  
 235 第7の層間絶縁膜  
 236 第5のバリア金属  
 313 下部引き出し電極  
 314 上部引き出し電極

315 第1のビア  
 316 第2のビア  
 317 第3のビア  
 318 ビア  
 320 コンタクト  
 337 第1のプラグ  
 338 第2のプラグ  
 339 第3のプラグ  
 440、540 配線  
 541 隙間

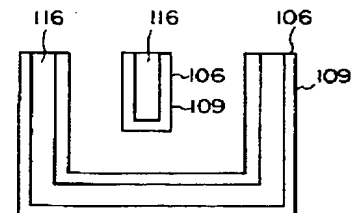
【図1】



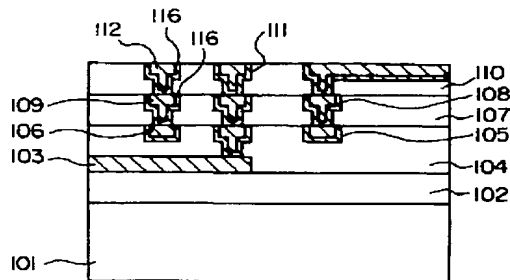
【図2】



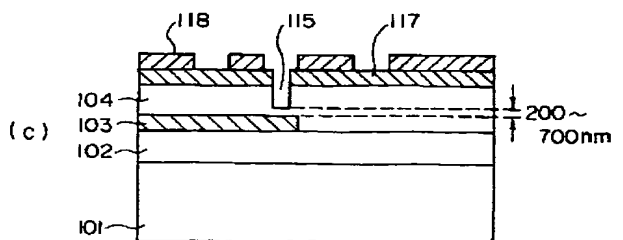
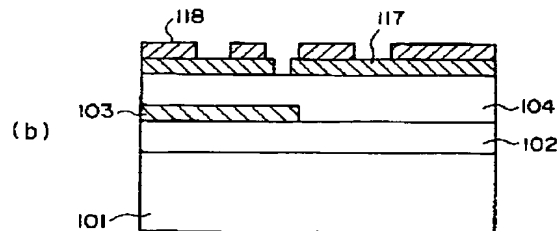
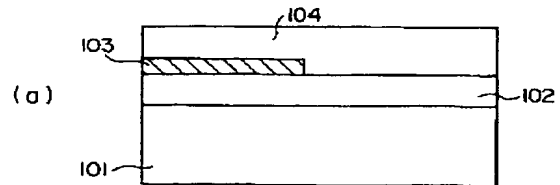
【図3】



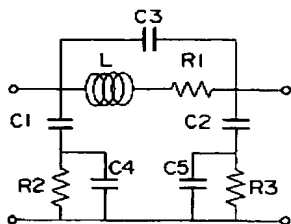
【図4】



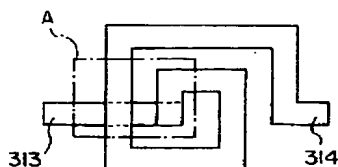
【図5】



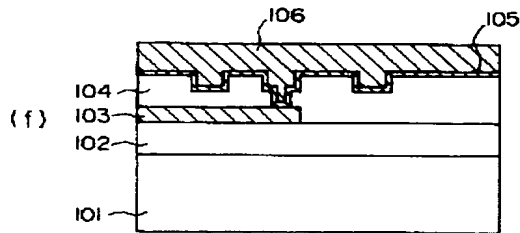
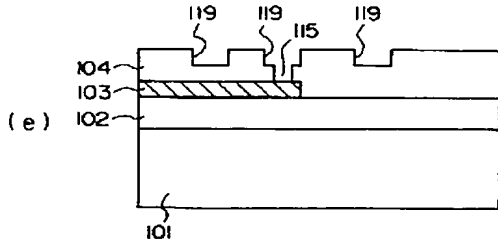
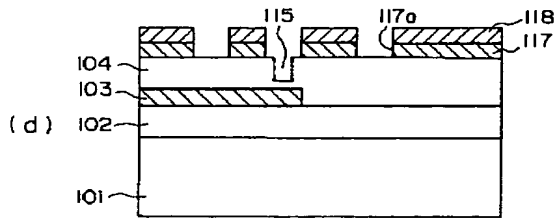
【図8】



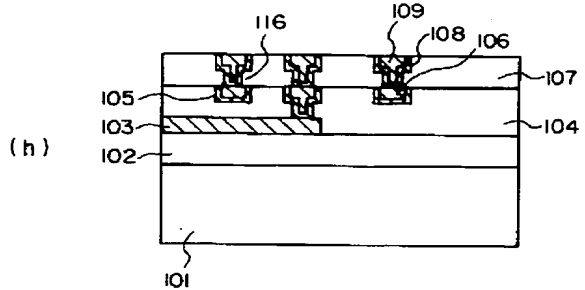
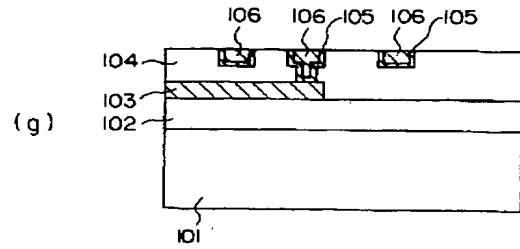
【図15】



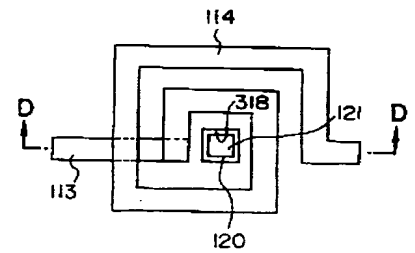
【図6】



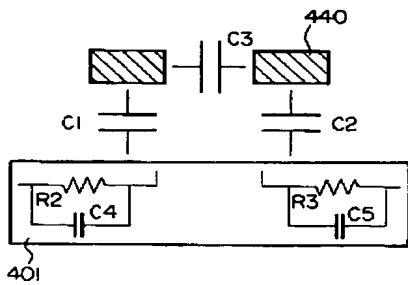
【図7】



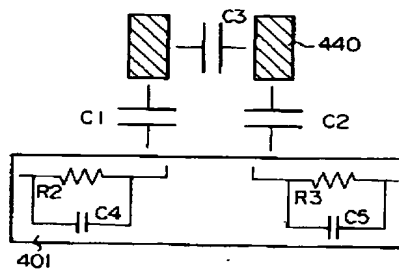
【図11】



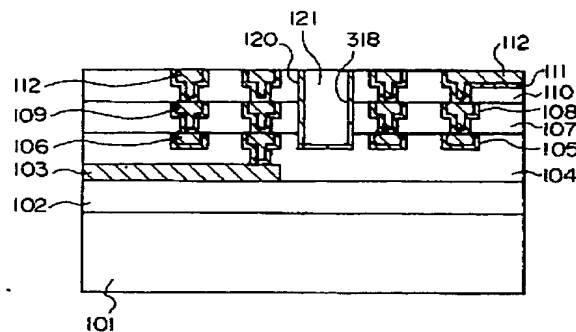
【図9】



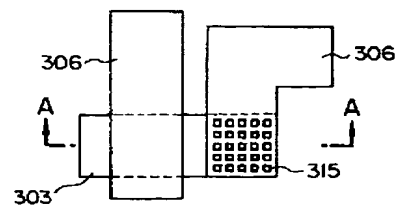
【図10】



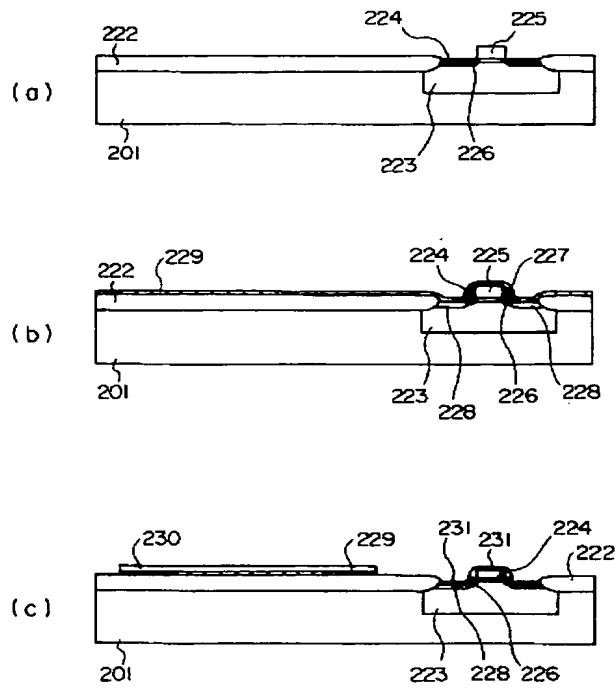
【図12】



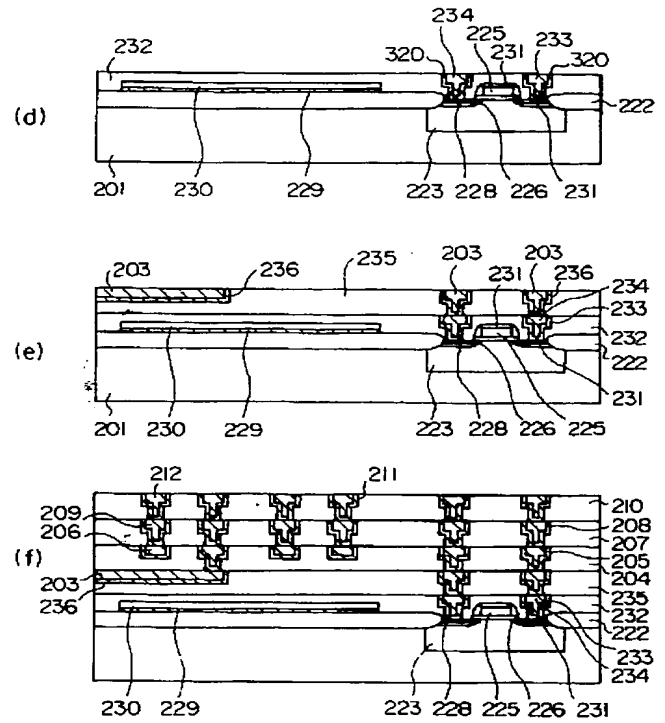
【図16】



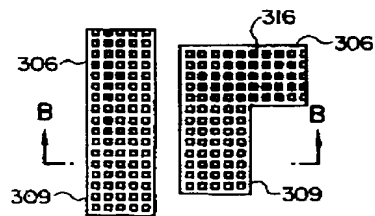
【図13】



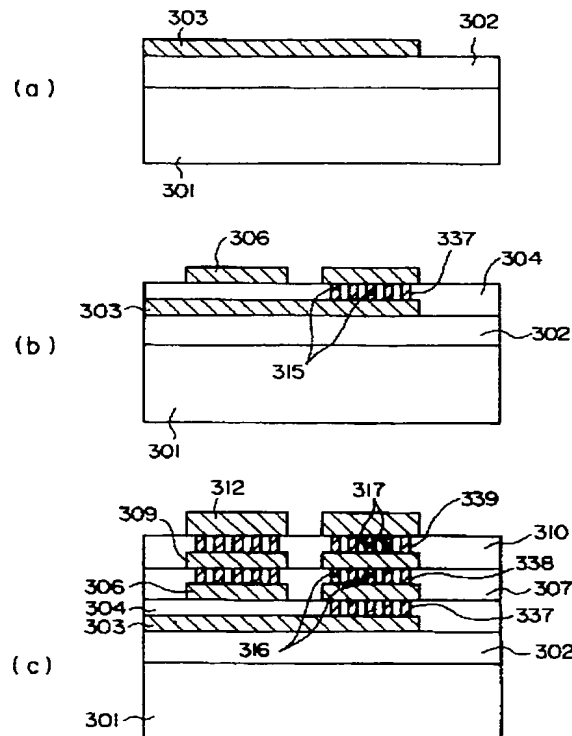
【図14】



【図17】



【図18】



【図19】

